

W1204



EP0555018

Biblio

Desc

Claims

Pag 1

Drawing

esp@cenet**Method for evaluating semiconductor wafers.**

Patent Number: ☐ EP0555018

Publication date: 1993-08-11

Inventor(s): FRIEDMAN J DAVID (US); HANSEN MARK HENRY (US); HOYER JAMES RICHARD (US); NAIR VIJAYAN NARAYANA (US)

Applicant(s): AMERICAN TELEPHONE & TELEGRAPH (US)

Requested Patent: ☐ JP6061314

Application Number: EP19930300632 19930128

Priority Number (s): US19920829634 19920203

IPC Classification: H01L21/66

EC Classification: H01L21/66P

Equivalents: KR9705688, ☐ US5240866

Cited Documents: GB2126374; JP2114509; JP61100941; JP61243378

Abstract

Failed circuits (e.g., defects) on each of a plurality of semiconductor wafers (10) in a batch can be characterized for the purpose of identifying defect sources by first mapping the defective ones of the circuits (121-12n) in each wafer. A determination is made to see if the defects in the defect pattern map associated with each wafer (10) are sufficiently clustered to warrant further study. The defect pattern maps for the wafers in the batch identified as having spatial clustering present are smoothed and thresholded to identify where spatial clusters occur. All such smoothed and thresholded defect pattern maps are separated into groups in accordance with the pattern of defects. The pattern of defects associated with each group is then analyzed to determine if any relationship exists between the pattern and the order of the process steps or one of the patterns in a library of patterns associated with particular failure modes. Should a match be found, then the particular process step(s) or failure mode(s) responsible for such

defects can be indicted.



Data supplied from the esp@cenet database - I2

W1204

(2)

ステップと、
を有することを特徴とする、請求項3に記載の方法。
【請求項5】 正常に動作する集積回路と欠陥を持つ集積回路とを判定するために、各半導体ウェーハ上の前記集積回路（12）乃至（12_n）を電気的に検測することに
よって、マップ化された欠陥を得ることを特徴とする請求項1に記載の方法。
【請求項6】 クラスタリングのパターンに従って、各半導体ウェーハ上の各グループ内の各半導体ウェーハ（10）と関連する欠陥を、それら欠陥がクラスタ化している場合には、空間的にクラスタ化している欠陥を持つ各マップ化された欠陥を、それら欠陥がクラスタ化している様子に従ってグループに分類するステップと、
（c） 各グループ内でそれら半導体ウェーハ（10）と関連する各欠陥と、そのグループ内のそれら半導体ウェーハ（10）に実施された処理操作との間に何らかの関係が存在するかを判定するステップと、
（d） そのような何らかの関係が存在する場合には、各グループ内の各半導体ウェーハ（10）と関連する欠陥を生じさせた処理操作を識別するステップと、
を有することを特徴とする半導体ウェーハ上の欠陥集積回路の特許付与方法。

【発明の詳細な説明】
【0001】
【産業上の利用分野】 本発明は、半導体ウェーハ上に欠陥を持つ集積回路（欠陥）が存在する場合に、それらの原因を特徴付けて、それら欠陥を生じさせた処理ステップ及び欠陥モードの何れか一方または双方を識別する技術に関する。
【0002】
【従来の技術】 今日、集積回路を製造するための最も一般的な技術は、個々の集積回路を半導体基盤（即ち、半導体ウェーハ）の表面下に形成するプレーナ技術である。このプレーナ技術は、通例、最初に実質的に純粋な半導体材料から成るインゴットが製造され、薄片に切り分け（slice）られて個別の半導体ウェーハが生産される。次に、各半導体ウェーハの上面に他の導電型を持つ少なくとも一層の半導体材料が形成（即ち、エピタキシャル成長）される。その後、各半導体ウェーハの上面に形成されたエピタキシャル層の面をパシベーション処理し、続いて、縦型フォト・リソグラフィ技術によって選択的にエッチングして半導体接合を形成するための開口が作成される。半導体接合を形成した後、アルミニウムのような金属を析出することによって各半導体ウェーハにおける接合部に相互接続が形成される。
【0003】 各半導体ウェーハ上に個々の集積回路が作成されること、これらの集積回路が専用で設計された通例のプローブを使用して検測することにより検査される。探測実行中に欠陥を持つことが見いだされた集積回路は、半導体ウェーハ上のそれらの位置が記録される。探測された後、各半導体ウェーハが集積回路チップに分割（dice）され、その後、それら集積回路チップのうちの欠陥が無いものが個々にパッケージングに封装されて、個別の集積回路が生産される。

【0004】 容易に理解できるように、上述した方法による集積回路の製造は複雑で多くの異なる処理工程を含んでいる。一群の半導体ウェーハの中で、一枚以上の半導体ウェーハで実施される一つ以上の処理工程が正しく実行されない、各半導体ウェーハ上の一つ以上の集積回路を更に有することを特徴とする、請求項1に記載の方法。

【請求項3】 前記（a）ステップが、
（g） 欠陥を持つ各集積回路を包囲している欠陥の比率と各無欠陥集積回路を包囲している無欠陥集積回路の比率との結合計算統計値（joint-count statistics）を計算し、クラスタ化している顕著な要素が存在しているかどうかを判定するために前記統計値を所定の限度と比較するステップと、
（h） 空間的にクラスタ化している要素を明らかにする為に、顕著な空間的クラスタリングを含有する半導体ウェーハ・マップを処理するステップと、
を有することを特徴とする、請求項1に記載の方法。
【請求項4】 前記（h）ステップが、
各半導体ウェーハ上の各集積回路を包囲している各半導体ウェーハの加重平均を計算するステップと、
前記加重平均に逆正弦二乗根変換を適用するステップと、
この変換された加重平均を規格化するステップと、
この変換され規格化された加重平均をしきい値処理する

この変換され規格化された加重平均をしきい値処理する

【特許請求の範囲】

【請求項1】 各々がその中に複数の集積回路（12）乃至（12_n）を作成するために別々の処理操作を既にしていて複数の半導体ウェーハ（10）と関連するマップ化された欠陥を特徴付ける方法において、
（a） 各半導体ウェーハ（10）と関連する前記マップ化された欠陥が空間的にクラスタ化（cluster）しているかどうかを判定するステップと、
（b） そのようにクラスタ化している場合には、空間的にクラスタ化している欠陥を持つ各マップ化された欠陥を、それら欠陥がクラスタ化している様子に従ってグループに分類するステップと、
（c） 各グループ内でそれら半導体ウェーハ（10）と関連する各欠陥と、そのグループ内のそれら半導体ウェーハ（10）に実施された処理操作との間に何らかの関係が存在するかを判定するステップと、
（d） そのような何らかの関係が存在する場合には、各グループ内の各半導体ウェーハ（10）と関連する欠陥を生じさせた処理操作を識別するステップと、
を有することを特徴とする半導体ウェーハ上の欠陥集積回路の特許付与方法。

【請求項2】 （e） 各グループ内の半導体ウェーハ（10）と関連する現下の各マップ化された欠陥と、少なくとも一つ既知な欠陥モードに帰因する一組のマップ化された欠陥との間に、何らかの関係が存在するかどうかを判定するステップと、
（f） 何らかの関係が存在する場合には、そのグループ内の各半導体ウェーハ（10）と関連するマップ化された欠陥を生じさせた欠陥モードを識別するステップと、
を更に有することを特徴とする、請求項1に記載の方法。

【請求項3】 前記（a）ステップが、
（g） 欠陥を持つ各集積回路を包囲している欠陥の比率と各無欠陥集積回路を包囲している無欠陥集積回路の比率との結合計算統計値（joint-count statistics）を計算し、クラスタ化している顕著な要素が存在しているかどうかを判定するために前記統計値を所定の限度と比較するステップと、
（h） 空間的にクラスタ化している要素を明らかにする為に、顕著な空間的クラスタリングを含有する半導体ウェーハ・マップを処理するステップと、
を有することを特徴とする、請求項1に記載の方法。

【請求項4】 前記（h）ステップが、
各半導体ウェーハ上の各集積回路を包囲している各半導体ウェーハの加重平均を計算するステップと、
前記加重平均に逆正弦二乗根変換を適用するステップと、
この変換された加重平均を規格化するステップと、
この変換され規格化された加重平均をしきい値処理する

この変換され規格化された加重平均をしきい値処理する

(11)特許出願公開番号

特開平6-61314

(43)公開日 平成6年(1994)3月4日

(12) 公開特許公報 (A)

(18)日本国特許庁 (JP)

(51)Int.Cl.	機別記号	庁内整理番号	FI	技術表示箇所
H01L 21/68	A	8406-4M		
G01N 21/88	E	8304-2J		

審査請求 有 請求項の数6(全 8 頁)

(21)出願番号	特願平5-83548	(71)出願人	390005493 アメリカン テレフォン アンド テレグ ラフ カムパニー AMERICAN TELEPHONE AND TELEGRAPH COMPA NY アメリカ合衆国 10013-2412 ニューヨ ーク ニューヨーク アヴェニュー オブ ジ アメリカス 32
(22)出願日	平成5年(1993)2月1日	(74)代理人	井理士 三保 弘文
(31)優先権主張番号	829834		
(32)優先日	1992年2月3日		
(33)優先権主張国	米国 (US)		

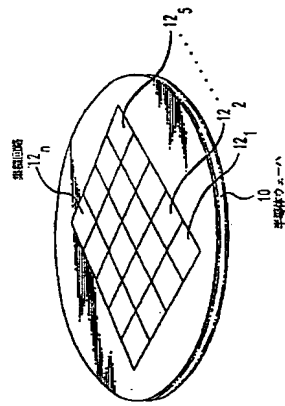
最終頁に続く

【54】発明の名称 半導体ウェーハ上の欠陥集積回路の特許付与方法

【57】要約

【目的】 半導体ウェーハ上に欠陥を持つ集積回路の原因を特徴付けて、それら欠陥を生じさせた処理ステップ及び欠陥モードを識別する技術を提供する。

【構成】 本発明の方法は、各ウェーハ10と関連する前記マップ化された欠陥が空間的にクラスタ化しているかどうかを判定し、クラスタ化している場合には、空間的にクラスタ化している欠陥を持つ各マップ化された欠陥をそれら欠陥がクラスタ化している様子に従ってグループに分類するステップと、各グループ内でそれらウェーハ10と関連する各欠陥と、そのグループ内のそれらウェーハ10に実施された処理操作との間に何らかの関係が存在するかを判定するステップと、もしそのような何らかの関係が存在する場合には、各グループ内の各ウェーハ10と関連する欠陥を生じさせた処理操作を識別するステップとを有する。



回路に欠陥が起ころがちであり、そのような集積回路欠陥は、単に欠陥と呼ばれる。更に、欠陥（集積回路欠陥）が発生するときは、それらがランダムに発生する。通常は、ランダムな欠陥を回避するために施すことができることは殆ど無い。しかし、しばしば、欠陥は一つ以上の処理工程が不適切に実施された結果として空間的にクラスタ化する。それら処理工程のうちで適切に実施されなかった処理工程を見つることによって、処理を修正し、改善された性能に結びつけることが可能である。

【0005】現在、そのような欠陥の原因である処理工程及びもし欠陥モードが有ればこれら欠陥モードとの双方向もしくはそれらの一方を識別するために、欠陥を持つ集積回路及びこれら集積回路の半導体ウェーハ上における空間的な位置に関するデータを使用する自動化された技術は、未だ知られていない。むしろ、欠陥の特徴付けは、代表的には、時間が掛かり且つ費用の高い欠陥モード解析によって行なわれている（一つのロットのそのような欠陥モード解析には三日にも亘る日にちを要することがある）。

【0006】「説明が解決しようとする課題」従って、半導体ウェーハ上の集積回路の欠陥を自動的に特徴付けることができ、る技術が求められている。

【0007】

【課題を解決するための手段】本発明によれば、一群の半導体ウェーハと関連する欠陥（即ち、欠陥が発生する回路）の原因を特徴付ける技術が開示される。本発明の技術は、まず、各半導体ウェーハと関連する各欠陥を持つ集積回路を探索（即ち、マップ化）することによって得られたデータを使用し、そのようなマップ化をそれら集積回路のうちのどの集積回路が欠陥（即ち、欠陥）であるかを決定する通例の探索技術を使用して各半導体ウェーハを探索すると、本発明の方法が、各半導体ウェーハに欠陥を示すことによって実行される。欠陥のマップ化が完了すると、本発明の方法が、各半導体ウェーハに欠陥を示すことによって開始される。この判定は統計検査手順を使用して為される。顯著なクラスタリングを示している半導体ウェーハは、欠陥がランダムであるとする通常の想定を覆すものである。もし、空間的なクラスタリングが見いだされれば、それらの半導体ウェーハが空間的にクラスタ化した欠陥を持つ集積回路を識別するために処理される。実際には、空間的にクラスタ化した欠陥を持つ集積回路の識別は、以下のステップを使用して為される。まず、各組の半導体ウェーハを均組している欠陥（欠陥を持つ集積回路）の数の加重平均が求められる。続いて、それら加重平均が変換される。それら変換された値がプリアットされた閾値を超えると、その集積回路が空間的なクラスタリングの一部であると考えられる。

【0008】空間的にクラスタ化した欠陥を持つ集積回

【0012】図2において、各半導体ウェーハ110中に上記集積回路121乃至12nが作成された後、代表的にはそのバッチ中の各半導体ウェーハ110が、各集積回路と接触するように動かされる二個以上のプロープ14によって探索される。これらのプロープ14は、上記集積回路121乃至12nの各々に番号を印加し、それら集積回路が正常に動作するかどうかを検査するためにそれら集積回路から信号を取り戻すように作用する周知な種類の試験装置（図示せず）に接続されている。それらの集積回路121乃至12nのうちの一つ以上で欠陥（即ち、検査での不適合）が見いだされることが稀なことでは無い。説明を簡単にするために、集積回路121乃至12nのうちの欠陥を持つ集積回路をこゝ以降では簡単に「欠陥」と呼ぶ。各半導体ウェーハ110を探索した後、欠陥の総計と位置が確立される。図3乃至図5の各々は、三枚の半導体ウェーハ110のうちの個々の半導体ウェーハと関連する欠陥のパターンのマップを図示している。

【0013】欠陥が発生するときはランダムに発生する。しかし、往々にして欠陥は一つ以上の処理工程が不適切に実施されたときその結果として発生する。例えば、或る欠陥は酸化物が厚く成りすぎた酸化物成長に帰因する。このことは拡散ステップでの不均一な加熱によって引き起こされる確率が最も高いので、多数の隣接する集積回路に同じ理由で欠陥が生じ、空間的なクラスタを持つ欠陥集積回路の原因となる。もし各半導体ウェーハ110内に作られた無欠陥集積回路のパーセントとして定義される生涯の改善を行なうとすれば、どの処理工程が不適切に実施されたかを知ることが極めて別段なことである。しかし、現在、所定のパターンの欠陥に責任が有る処理工程や欠陥モードがある場合、それらの双方もしくは一方の判定を容易にするために、半導体ウェーハ110中の欠陥を特徴付けることができる既知の自動化技術は存在していない。

【0014】図6において、特徴的なパターンの欠陥を引き起こした処理工程または欠陥モードを判定するため、上記欠陥、即ち一つのバッチの半導体ウェーハ110中の上記集積回路121乃至12nを特徴付けるための本発明による方法が、フロー・チャートの形で示されている。

【0015】本発明の技術では、図2に関連して先に説明した方法でバッチ中の各半導体ウェーハ110を探索し、且つ、欠陥をマップ化する（ステップ16）ことによって得られた集積回路欠陥のデータが使用される。図2の欠陥（即ち、欠陥を持つ集積回路）を含有する各半導体ウェーハ110に關して欠陥パターン・マップが生じ、本発明の技術自体が開始される。最初に、各半導体ウェーハ110と関連する上記欠陥パターン・マップが、上記欠陥によって顯著なクラスタリングが示されているかどうかを判定する（ステップ20）のための前処理を行なう（ステップ18）。そのようなクラスタリ

ングは、各無欠陥集積回路121（なお、 $i \leq n$ ）を包囲している特定の近傍を検査することによって判定される。説明のために、この値を表わすためにGGの項を当てがう。この判定は、全ての無欠陥集積回路について為され、それらの結果得られた各比率が足し合わされる。

【0016】欠陥を持つ各集積回路121について、その集積回路121を特定の近傍内に包囲している他の欠陥を持つ集積回路の比率が同様に計算され、その結果得られた比率が足し合わされる。説明のために、この値を表わすためにBBの項を当てがう。BB及びGGの双方を計算する方法は、「王立統計学会誌（Royal Statistical Society）」B巻、1948年、10巻、第243乃至第251頁に掲載されている。P. A. P. モラン（Moran）氏の論文「統計的マップの解説（Interpretation of Statistical Maps）」及び、1981年にロンドンのパイオン（Pion）社から発行されたA. D. クリフ（Cliff）氏の著書「空間的処理モデル及び応用（Spatial Processes Models and Applications）」に記載されている計算と類似の方法である。

【0017】BB及びGGの双方の、連続統計（join count statistics）として知られている計算に続いて、空間的クラスタリングを持たない平均半導体ウェーハを求めために、それら二個の統計値がBB及びGGの確率分布に対して評価される。もしBB及びGGについて計算されたそれらの値が、確率分布から導出された閾値を充分に超えている場合には、欠陥は顯著に空間的にクラスタ化していると考えられ、続いてステップ22が実行される。

【0018】ステップ22中に、続いて顯著にクラスタ化していると考えられた欠陥を持つ各半導体ウェーハ110と関連する半導体ウェーハ欠陥パターン・マップが、ランダム欠陥を除くために処理される。代表的には、このような処理は、図7に最も良く示されている処理によって各欠陥パターン・マップを「平滑化（smooth ing）」及び「しきい値処理（threshold ing）」することにより実行される。図7において、上記平滑化及びしきい値処理の第一ステップ（ステップ24）で、各集積回路121の近傍で起きる欠陥の数の加重平均が計算される。次にこの加重平均は逆正規二乗根変換を適用することによって変換される（ステップ26）。続いて、この変換された値はその期待値を減算し且つその標準偏差で除算することによって規格化される（ステップ28）。なお、上記期待値及び標準偏差は、上記欠陥がクラスタ化していないとする帰無仮説（null hypothesis）の下で計算される。この規格化された値は、続いて正規確率積分変換（normal probability integration）を使用して、[0, 1]にマ

(6)

四角は正常に動作する(欠陥が無い)集積回路を意味し、且つ、黒い四角は欠陥を持つ集積回路(欠陥)を表わしている。

【図6】図3乃至図5に図示されている欠陥を特徴付けるための、本発明による技術のフロー・チャートである。

【図7】半導体ウェーハ欠陥パターンを平滑化し且つしきい値処理するために、図6の技術に関連して実施される。

【図8】図3の欠陥パターンを平滑化した後のパターンを示す図である。

【図9】図4の欠陥パターンを平滑化した後のパターンを示す図である。

【図10】図5の欠陥パターンを平滑化した後のパターンを示す図である。

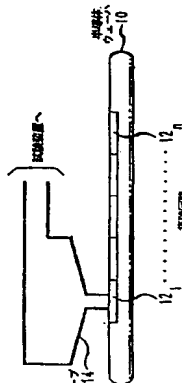
【符号の説明】

10 半導体ウェーハ

121, 122, 123...12n 集積回路

14 プローブ

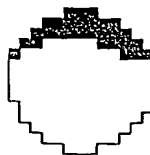
【図2】



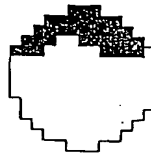
【図8】



【図9】



【図10】



【発明の効果】以上説明したように、本発明による方法は、半導体ウェーハ上の欠陥を自動的に特徴付けることができる効果がある。

【図面の簡単な説明】

【図1】従来の半導体ウェーハの斜視図である。

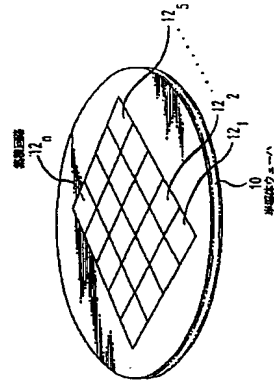
【図2】通例の半導体ウェーハ・プローブを用いて図1の半導体ウェーハを検査(探測)する仕方を示すための図3の半導体ウェーハの側面図である。

【図4】図1の型の半導体ウェーハ上の欠陥のパターンの一例を示す図であり、図中の白い四角は正常に動作する(欠陥が無い)集積回路を表わし、黒い四角は欠陥を持つ集積回路(欠陥)を表わしている。

【図5】図1の型の半導体ウェーハ上の欠陥のパターンの別の例を示す図であり、図3と同様に図中の白い四角は正常に動作する(欠陥が無い)集積回路を表わし、且つ、黒い四角は欠陥を持つ集積回路(欠陥)を表わしている。

【図6】図1の型の半導体ウェーハ上の欠陥のパターンの更に別の例を示す図であり、図3と同様に図中の白い

【図1】



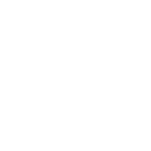
【図3】



【図4】



【図5】



特開平6-61314

(5)

y)を共有しているかどうかの判定が為される(ステップ42)。処理に共同性を持つ半導体ウェーハの例には、パッチ処理(即ち、一溶着槽内での処理)中に同時に処理された半導体ウェーハ、逐次処理(単一半導体ウェーハ配定)中に隣接して処理された半導体ウェーハ、及び、或る処理装置の同様の部分(即ち、炉の同一端またはイオン・エッチング装置の同一電極)に置かれた半導体ウェーハが含まれる。実際には、図1の各半導体ウェーハ10が機械可読符号(図示せず)で独特のマークが付される。各半導体ウェーハ上のこの機械可読符号によって、そのパッチがその製造工程中の各ステップを進行するとき、そのパッチ内の各半導体ウェーハの正確な位置を自動的に記録することが可能にされる。

【0022】ステップ42において、もし特定のグループの半導体ウェーハ10のパターンとそのグループ内のそれら半導体ウェーハ10が共有している共同性とに一致がある場合には、そのような一致の警告情報が生じられる(ステップ44)。そのような一致が無い場合には、ステップ46が実行されて、各半導体ウェーハと関連する【0-1】パターン・マップが既知な欠陥の原図を持つ一組の記憶されているパターン・マップからのパターンと一致しているかどうかの判定が為される。本発明の技術を実施する際、そのようなパターン・マップのライブラリが維持され、且つ、ステップ46での比較目的のために使用される。ステップ46で一つの見いだされたと、プログラムの実行がステップ44へ分岐され、このステップ44で上記特定の欠陥モードを識別している警告情報が生じられる。

【0023】ステップ44で警告情報が生じられた後、またはステップ46で一致が見いだされなかつたときは、続いて、存在している欠陥パターン・マップ及び各パターンの種類を示している半導体ウェーハの数に関する情報を含有するクラスタ解析レポートが生成される(ステップ48)。このクラスタ解析レポートが生成されると、それに続いてステップ50が実行され、各ロットの半導体ウェーハ10に関する情報を含有するマスター・データ・ベースが更新される。ステップ50に続いて、この処理が終了される(ステップ52)。

【0024】上記説明は、半導体ウェーハ10上の欠陥(欠陥を持つ集積回路)の特徴付けを行ない、もし有るとすれば、処理工程及び欠陥モードの双方または一方のうち何れかそのような欠陥を生じているかを明らかにするための処理を述べている。この処理は、上記処理工程が周知のコンピュータの助けによって容易に実施することができ、自動的に実行することが可能である。更にこの処理は、プロセス技術者が対話ベースで実行することが可能である。なお、特許請求の範囲に記載した参照符号は、発明の容易なる理解のためのもので、その範囲を制限するように理解されるべきものではない。

【0025】

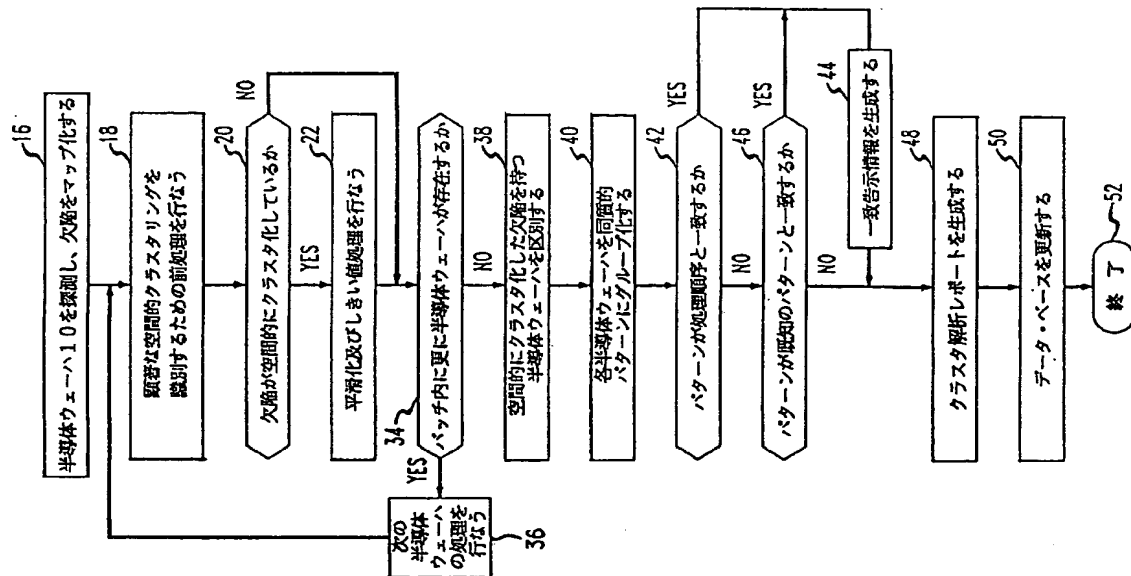
ップ化される(ステップ30)。最後に、このマップ化された値は、2進値分類(binary classification)を得るために所定のしきい値と比較される。もし上記マップ化された値がそのしきい値を超えている場合にはその集積回路に2進値“1”が当てがわれ、そのしきい値を超えない場合には2進値“0”が当てがわれる(ステップ32)。この処理は、上記半導体ウェーハ10内の集積回路121乃至12nの各々について実行される。その結果得られた三つの半導体ウェーハ10の各々に関するそれら集積回路121乃至12nのパターン・マップが、2進値“1”及び“0”をそれぞれ白領域と黒領域とで表わし、図8乃至図10に示される。このような各パターン・マップは、以下で述べるように、後述する処理に対する入力として使用される。

【0019】図6において、ステップ22(もしそれら欠陥がクラスタ化していないことが見いだされた場合には、ステップ20)に続いて、ステップ34で、そのパッチ内に属している半導体ウェーハのうちでまだ検査判定するための検査が為される。もしそのような半導体ウェーハが存在していれば、続いてステップ36が実行され、そのパッチ内の次の半導体ウェーハ10が検査される。その後、ステップ18が再度実行される。

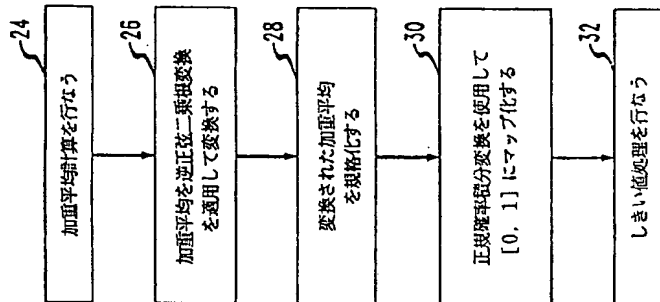
【0020】全ての半導体ウェーハ10の検査が完了すると、順次にクラスタ化した欠陥を持つことが見いだされた半導体ウェーハが、クラスタ化した欠陥を持たないものから区別される(ステップ38)。次に、それら半導体ウェーハ10と関連する2進値“1”、“0”のパターン・マップが同質のパターンにグループ化される(ステップ40)。このようなグループ化は既知な時間構造クラスタリング技術によって達成される。この時間構造クラスタリング技術を使用するために、そのパッチ内の各半導体ウェーハ10間の距離を計算しなければならぬ。本発明によれば、その距離は或る方のうちの一方の半導体ウェーハ10内の各集積回路121を、その対のうちの他の半導体ウェーハ10上の対応する集積回路と比較することによって計算される。もし、各集積回路121に属する2進値がその他の半導体ウェーハ10の半導体ウェーハと一致している(即ち、両方集積回路が共に良品であるか、または共に不良品である)場合にはそれら集積回路間の距離は“0”であり、そうでない場合にはその値は“1”であると見なされる。この比較は、各対のうちの各半導体ウェーハ10上の集積回路121乃至12nの全について為され、各距離が累積される。この処理は上記各半導体ウェーハ10上の欠陥パターンを確立するために使用される。

【0021】それら半導体ウェーハ10欠陥パターンがグループ化されると、続いて、特定のグループ内にある欠陥パターンを持つ各半導体ウェーハがそれらの処理方法または順序に関する或る共同性(commonality)

【図6】



【図7】



フロントページの続き

(72)発明者 ユダ デヴィッド フリードマン
アメリカ合衆国 07922 ニュージャージー
ー バークレー ハイツ、コーネル アヴ
エニュー 172
(72)発明者 マーク ヘンリー ハンセン
アメリカ合衆国 94618 カリフォルニア
オークランド、クレルモント アヴエニ
ュー 6060

(72)発明者 ジェームス リチャード ホイヤー
アメリカ合衆国 32837 フロリダ オー
ランド、オシタ ドライヴ 3531
(72)発明者 ヴィジャヤナ ナラヤナ ネア
アメリカ合衆国 07974 ニュージャージー
ー マーレー ヒル、ノールウッド ドラ
イヴ 122